

#3

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-209256

(43)公開日 平成6年(1994)7月26日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H03K 19/0185

G06F 15/78

510 K 7323-5L

8941-5J

H03K 19/00

101 E

審査請求 未請求 請求項の数9 OL (全19頁)

(21)出願番号

特願平5-3267

(22)出願日

平成5年(1993)1月12日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 藤岡 宗三

伊丹市中央3丁目1番17号 三菱電機セミ

コンダクタソフトウェア株式会社内

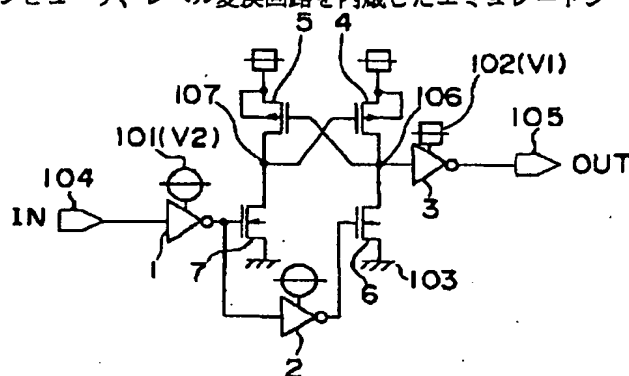
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 レベル変換回路、レベル変換回路を内蔵したエミュレータ用マイクロコンピュータ、レベル変換回路を内蔵したビジーバックマイクロコンピュータ、レベル変換回路を内蔵したエミュレータシ

(57)【要約】

【目的】 この発明は、5Vを1V~7Vまで、1V~7Vを5Vまで変換できるレベル変換回路を提供することを目的とする。

【構成】 それぞれソースが第1の電位V1に接続された第1及び第2のPチャネルトランジスタ4及び5が互いに同じ $\beta$ 値を有し、それぞれドレインが第1及び第2のPチャネルトランジスタ4及び5のドレインに接続されると共にソースが接地された第1及び第2のNチャネルトランジスタ6及び7が互いに同じ値で且つ第1及び第2のPチャネルトランジスタ4及び5の $\beta$ 値の50倍以上の $\beta$ 値を有し、第1及び第2のPチャネルトランジスタ4及び5の $\beta$ 値は第1の電位V1が1Vまで低下しても第3のインバータをドライブできるような値に設定される。



## 【特許請求の範囲】

【請求項1】 それぞれソースが第1の電位V1に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャンネルトランジスタと、

それぞれドレインが第1及び第2のPチャンネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャンネルトランジスタと、

レベル変換入力信号を反転させて第2のNチャンネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第1のインバータと、

第1のインバータの出力をさらに反転させて第1のNチャンネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第2のインバータと、

第1のPチャンネルトランジスタのドレインと第1のNチャンネルトランジスタのドレインとの接続点の信号を反転させると共に第1の電位V1を電源とする第3のインバータとを備え、第1及び第2のNチャンネルトランジスタの $\beta$ 値を第1及び第2のPチャンネルトランジスタの $\beta$ 値の50倍以上に設定すると共に第1の電位V1が1Vまで低下しても第3のインバータをドライブできるように第1及び第2のPチャンネルトランジスタの $\beta$ 値を設定することを特徴とするレベル変換回路。

【請求項2】 それぞれソースが第1の電位V1に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャンネルトランジスタと、

それぞれドレインが第1及び第2のPチャンネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャンネルトランジスタと、

レベル変換入力信号を反転させて第2のNチャンネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第1のインバータと、

第1のインバータの出力をさらに反転させて第1のNチャンネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第2のインバータと、

第1のPチャンネルトランジスタのドレインと第1のNチャンネルトランジスタのドレインとの接続点の信号を反転させると共に第1の電位V1を電源とする第3のインバータとを備え、第1及び第2のNチャンネルトランジスタの $\beta$ 値を第1及び第2のPチャンネルトランジスタの $\beta$ 値の50倍以上に設定し、第1の電位V1が1Vまで低下しても第3のインバータをドライブできるように第1及び第2のPチャンネルトランジスタの $\beta$ 値を設定し、第3のインバータを形成する一対のPチャンネルトランジスタとNチャンネルトランジスタのうちNチャンネルトランジスタの $\beta$ 値をPチャンネルトランジスタの $\beta$ 値より大きく設定することを特徴とするレベル変換回路。

【請求項3】 それぞれソースが第1の電位V1に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャンネルトランジスタと、

それぞれドレインが第1及び第2のPチャンネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャンネルトランジスタと、

レベル変換入力信号を反転させて第2のNチャンネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第1のインバータと、

第1のインバータの出力をさらに反転させて第1のNチャンネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第2のインバータと、

第1のPチャンネルトランジスタのドレインと第1のNチャンネルトランジスタのドレインとの接続点の信号と第2のPチャンネルトランジスタのドレインと第2のNチャンネルトランジスタのドレインとの接続点の信号とを入力すると共にこれら双方の信号が共にローレベルのときには出力が変化しないフリップフロップ回路とを備え、第1及び第2のNチャンネルトランジスタの $\beta$ 値を第1及び第2のPチャンネルトランジスタの $\beta$ 値の50倍以上に設定することを特徴とするレベル変換回路。

【請求項4】 エミュレータ装置とターゲットシステムとの間に接続されるエミュレータ用マイクロコンピュータであって、

それぞれソースが第1の電位V1に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャンネルトランジスタと、それぞれドレインが第1及び第2のPチャンネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャンネルトランジスタと、レベル変換入力信号を反転させて第2のNチャンネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第1のインバータと、第1のインバータの出力をさらに反転させて第1のNチャンネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第2のインバータと、第1のPチャンネルトランジスタのドレインと第1のNチャンネルトランジスタのドレインとの接続点の信号を反転させると共に第1の電位V1を電源とする第3のインバータとを備え、第1及び第2のNチャンネルトランジスタの $\beta$ 値を第1及び第2のPチャンネルトランジスタの $\beta$ 値の50倍以上に設定すると共に第1の電位V1が1Vまで低下しても第3のインバータをドライブできるように第1及び第2のPチャンネルトランジスタの $\beta$ 値を設定し且つターゲットシステムとの間で伝送される信号をレベル変換するレベル変換回路を備えたことを特徴とするエミュレータ用マイクロコンピュータ。

【請求項5】 エミュレータ装置とターゲットシステム

との間に接続されるエミュレータ用マイクロコンピュータであって、

それぞれソースが第1の電位V1に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャネルトランジスタと、それぞれドレインが第1及び第2のPチャネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャネルトランジスタと、レベル変換入力信号を反転させて第2のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第1のインバータと、第1のインバータの出力をさらに反転させて第1のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第2のインバータと、第1のPチャネルトランジスタのドレインと第1のNチャネルトランジスタのドレインとの接続点の信号を反転させると共に第1の電位V1を電源とする第3のインバータとを備え、第1及び第2のNチャネルトランジスタの $\beta$ 値を第1及び第2のPチャネルトランジスタの $\beta$ 値の50倍以上に設定すると共に第1の電位V1が1Vまで低下しても第3のインバータをドライブできるように第1及び第2のPチャネルトランジスタの $\beta$ 値を設定し且つエミュレータ装置との間で伝送される信号をレベル変換するレベル変換回路を備えたことを特徴とするエミュレータ用マイクロコンピュータ。

【請求項6】 EPROMとターゲットシステムとの間に接続されるビジーバックマイクロコンピュータであって、

それぞれソースが第1の電位V1に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャネルトランジスタと、それぞれドレインが第1及び第2のPチャネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャネルトランジスタと、レベル変換入力信号を反転させて第2のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第1のインバータと、第1のインバータの出力をさらに反転させて第1のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第2のインバータと、第1のPチャネルトランジスタのドレインと第1のNチャネルトランジスタのドレインとの接続点の信号を反転させると共に第1の電位V1を電源とする第3のインバータとを備え、第1及び第2のNチャネルトランジスタの $\beta$ 値を第1及び第2のPチャネルトランジスタの $\beta$ 値の50倍以上に設定すると共に第1の電位V1が1Vまで低下しても第3のインバータをドライブできるように第1及び第2のPチャネルトランジスタの $\beta$ 値を設定し且つEPROMとの間で伝送される信号をレベル変換するレベル変換回路を備えたことを特徴とするビジーバックマイクロ

コンピュータ。

【請求項7】 EPROMとターゲットシステムとの間に接続されるビジーバックマイクロコンピュータであって、

それぞれソースが第1の電位V1に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャネルトランジスタと、それぞれドレインが第1及び第2のPチャネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャネルトランジスタと、レベル変換入力信号を反転させて第2のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第1のインバータと、第1のインバータの出力をさらに反転させて第1のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第2のインバータと、第1のPチャネルトランジスタのドレインと第1のNチャネルトランジスタのドレインとの接続点の信号を反転させると共に第1の電位V1を電源とする第3のインバータとを備え、第1及び第2のNチャネルトランジスタの $\beta$ 値を第1及び第2のPチャネルトランジスタの $\beta$ 値の50倍以上に設定すると共に第1の電位V1が1Vまで低下しても第3のインバータをドライブできるように第1及び第2のPチャネルトランジスタの $\beta$ 値を設定し且つターゲットシステムとの間で伝送される信号をレベル変換するレベル変換回路を備えたことを特徴とするビジーバックマイクロコンピュータ。

【請求項8】 量産用マイクロコンピュータのテストを行なうためのLSIテストシステムであって、

LSIテストと、

それぞれソースが第1の電位V1に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャネルトランジスタと、それぞれドレインが第1及び第2のPチャネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャネルトランジスタと、レベル変換入力信号を反転させて第2のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第1のインバータと、第1のインバータの出力をさらに反転させて第1のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第2のインバータと、第1のPチャネルトランジスタのドレインと第1のNチャネルトランジスタのドレインとの接続点の信号を反転させると共に第1の電位V1を電源とする第3のインバータとを備え、第1及び第2のNチャネルトランジスタの $\beta$ 値を第1及び第2のPチャネルトランジスタの $\beta$ 値の50倍以上に設定すると共に第1の電位V1が1Vまで低下しても第3のインバータをドライブできるように第1及び第2のPチャネルトランジスタの $\beta$ 値を設定したレベル変

換回路を備えたエミュレータ用マイクロコンピュータとを備えたことを特徴とするLSIテストシステム。

【請求項9】 エミュレータ装置と、それぞれソースが第1の電位 $V_1$ に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャネルトランジスタと、それぞれドレインが第1及び第2のPチャネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャネルトランジスタと、レベル変換入力信号を反転させて第2のNチャネルトランジスタのゲートに入力させると共に第2の電位 $V_2$ を電源とする第1のインバータと、第1のインバータの出力をさらに反転させて第1のNチャネルトランジスタのゲートに入力させると共に第2の電位 $V_2$ を電源とする第2のインバータと、第1のPチャネルトランジスタのドレインと第1のNチャネルトランジスタのドレインとの接続点の信号を反転させると共に第1の電位 $V_1$ を電源とする第3のインバータとを備え、第1及び第2のNチャネルトランジスタの $\beta$ 値を第1及び第2のPチャネルトランジスタの $\beta$ 値の50倍以上に設定すると共に第1の電位 $V_1$ が1Vまで低下しても第3のインバータをドライブできるように第1及び第2のPチャネルトランジスタの $\beta$ 値を設定したレベル変換回路を含むエミュレータ用マイクロコンピュータとを備えたことを特徴とするエミュレートシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、マイクロコンピュータのアプリケーション開発等に使用するプログラム開発用のエミュレータ用マイクロコンピュータ及びビギンバックマイクロコンピュータ、これらのマイクロコンピュータに内蔵されるレベル変換回路、これらのマイクロコンピュータを用いたLSIテストシステム及びエミュレートシステムに関するものである。

【0002】

【従来の技術】 近年、消費電流を低下させたり、電池による動作を可能にするため、集積回路の低電源電圧化が進められている。マイクロコンピュータにおいても、電池1ヶ(1.5V)で動作可能なものが商品化されている。また、一般にマイクロコンピュータはプログラムを内蔵するので、通常使用する量産用マイクロコンピュータとは別に、プログラムを開発するためのエミュレータ用マイクロコンピュータあるいはビギンバック用マイクロコンピュータが別途開発される。

【0003】 しかし、エミュレータ用マイクロコンピュータを動作させるエミュレータ装置本体やビギンバック用マイクロコンピュータに搭載されるEPROMは、通常5Vの電源電圧で動作するため、このEPROMに5Vより低い低電源電圧のマイクロコンピュータとを接続する場合には電源電圧を変換するレベル変換回路が必要

となる。

【0004】 ここで、レベル変換回路について説明する。まず、レベル変換回路を用いない場合の問題を図19で簡単に説明する。図19は相補型MOS集積回路を示す回路図である。NチャネルMOSFET122及び124のソースは0電位である負極に接続されている。PチャネルMOSFET121のソースは電位 $E_1$ である第1の正極に接続され、PチャネルMOSFET123のソースは電位 $E_2$ である第2の正極に接続されている。ここで、 $E_1 < E_2$ とする。

【0005】 入力信号125はMOSFET121及び122からなるインバータ回路を駆動して反転入力信号126となり、MOSFET123及び124からなるインバータ回路のゲートに入力する。以上の回路で出力端子127は0～ $E_2$ の間の電位をとるが、出力端子127の電位を0にする場合にはMOSFET124をオン状態とすると共にMOSFET123をオフ状態とする必要がある。このため、反転入力信号126の電位は高い方が動作が安定するが、実際には反転入力信号126の電位は0～ $E_1$ の間しかとれない。この反転入力信号126の電位を $E_1$ とした場合でも、MOSFET123のスレッシユホールド電圧 $V_{th}$ との間に $E_2 - E_1 > V_{th}$ の関係が成りたつとMOSFET123はオフ状態になることができない。この場合、出力端子127を0電位にすることができないばかりでなく、MOSFET123及び124を通して電位 $E_2$ の第2の正極から電位0の負極へ貫通電流が流れてしまう。つまり正常な動作が必ずしも保証できないと共に低消費電流という相補型MOS集積回路の一つの長所を大きく損なってしまう。

【0006】 レベル変換回路は以上の様な問題点を解消するための回路であり、図20にPチャネルMOSFET及びNチャネルMOSFETを用いた最も基本的な相補型のレベル変換回路を示す。図20において、NチャネルMOSFET21、23及び25の各ソースは0電位である負極に接続されている。PチャネルMOSFET20のソースは電位 $E_1$ である第1の正極に接続され、PチャネルMOSFET22及び24のソースは電位 $E_2$ である第2の正極に接続されている。また、端子201より信号は入力し、信号202は信号201を反転した信号である。ここで信号201及び202は0～ $E_1$ の間の電位で動作する。信号203はレベル変換回路としての出力信号であり、信号204は信号203を反転した信号である。

【0007】 ここで信号203及び信号204は0～ $E_2$ の間の電位で動作する。さて、信号201が0電位(ローレベル)の時、信号202は $E_1$ 電位、信号203は0電位、信号204は $E_2$ 電位となり、MOSFET20、22及び25はオン状態、MOSFET21、23及び24はオフ状態となる。一方、信号201が $E_1$

1 電位 (ハイレベル) になると、MOSFET 23 がオン状態に変わって信号 204 は 0 電位に向うと共に信号 202 は 0 電位となって MOSFET 25 をオフ状態とする。

【0008】すなわち、MOSFET 25 はオフ状態に、MOSFET 23 はオン状態になるので、MOSFET 22 はオフ状態の方向へ、MOSFET 24 はオン状態の方向へそれぞれ向う。このため、信号 203 は E2 電位へ、信号 204 は 0 電位へと向うので、MOSFET 22 は更にオフ状態の方向へ、MOSFET 24 はオン状態の方向へと加速される。そして、信号 201 が E1 電位、信号 202 は 0 電位、信号 203 は E2 電位、信号 204 は 0 電位に、MOSFET 20、22 及び 25 はオフ状態に、MOSFET 21、23 及び 24 はオン状態に落ち着く。

【0009】ここで、信号 201 が再び 0 電位になると、MOSFET 23 はオフ状態となり、信号 202 は E1 電位となって MOSFET 25 をオンさせる。このため、信号 203 は 0 電位に向う。MOSFET 23 はオフ状態に、MOSFET 25 はオン状態になるので、MOSFET 22 はオン状態の方向へ、MOSFET 24 はオフ状態の方向へ向い、それによって信号 203 はさらに 0 電位の方向へ、信号 204 は E2 電位に向う。その結果、MOSFET 22 はさらにオン状態の方向へ、MOSFET 24 はオフ状態の方向へと加速され、ついに信号 201 が 0 電位、信号 202 は E1 電位、信号 203 は 0 電位、信号 204 は E2 電位に、MOSFET 20、22 及び 25 はオン状態に、MOSFET 21、23 及び 24 はオフ状態にそれぞれ落ち着く。

【0010】以上の回路動作が円滑に行なわれるのは、ソース電位が 0 の N チャンネル MOSFET 21、23 及び 25 が 0 ~ E1 の電位でゲートを制御され、ソース電位が E1 電位の P チャンネル MOSFET 20 が 0 ~ E1 の電位でゲートを制御され、ソース電位が E2 電位の P チャンネル MOSFET 22 及び 24 が 0 ~ E2 の電位でゲートを制御されるからである。特に、図 20 の回路が図 19 の回路に比較して正常に動作する理由は MOSFET 22 及び 24 のゲート電位が 0 ~ E2 で制御される回路構成になった為である。すなわち、各 MOSFET にそれぞれ完全にオン/オフするために必要なゲート電位が供給されるからである。

【0011】次に、従来のエミュレータ用マイクロコンピュータ及びエミュレートシステムについて説明する。図 21 はレベル変換回路を使用しない場合のエミュレートシステムの構成図である。

【0012】図 21 において、141 はエミュレータ用マイクロコンピュータ、142 はエミュレータ用マイクロコンピュータ 141 の制御を行うエミュレータ装置、143 はマイクロコンピュータを応用して所望の機能を実現するためのターゲットシステムである。このターゲ

ットシステム 143 は、エミュレータ用マイクロコンピュータ 141 の端子を接続できるようになっており、エミュレートシステムでのデバッグ作業の終了後はエミュレータ用マイクロコンピュータ 141 の代わりにビギンバック用マイクロコンピュータ又は量産用のマイクロコンピュータが接続される。144 はエミュレータ用マイクロコンピュータ 141 を接続するためにエミュレータ装置 142 内に設けられた接続インターフェースであり、1401 は例えば 5V の電源を示している。また、1402 はエミュレータ装置 142 がエミュレータ用マイクロコンピュータ 141 を動作させるのに必要な信号ラインで、アドレス信号ライン、データ信号ライン、制御バスなどを含んでいる。1403 はターゲットシステム 143 とエミュレータ用マイクロコンピュータ 141 とを接続させる信号ラインである。

【0013】次に動作について説明する。エミュレータ用マイクロコンピュータ 141 が動作するためのプログラムはエミュレータ装置 142 に内蔵されている。このプログラムの受け渡しやマイクロコンピュータ 141 からのデータの受け取りは信号ライン 1402 を介して行う。そして、マイクロコンピュータ 141 が動作することによりマイクロコンピュータ 141 の端子から入出力される信号により、ターゲットシステム 143 が動作する。マイクロコンピュータ 141 の端子から入出力される信号やマイクロコンピュータ 141 が動作するのに必要な電源クロック信号、リセット信号等はターゲットシステム 143 から信号ライン 1403 を通じてマイクロコンピュータ 141 に供給される。エミュレータ装置 142 はデバッグ作業を行うのに必要な機能を備えており、簡単にプログラムの変更や動作確認を行なうことができ、このエミュレータ装置 142 でデバッグ作業を行った後に量産マイクロコンピュータに内蔵するプログラムが製作される。図 22 にこのようなエミュレータ用マイクロコンピュータを用いたエミュレートシステムのイメージ図を示す。エミュレータ装置本体 151 にポッド回路 152 を介してエミュレータ用マイクロコンピュータ 153 が接続されており、このエミュレータ用マイクロコンピュータ 153 がターゲットシステム 154 の IC ソケット等に接続される。

【0014】ビギンバックマイクロコンピュータを使用する場合は、デバッグ作業を行ったプログラムを EPROM に書き込み、この EPROM を用いてビギンバックマイクロコンピュータでターゲットシステム 143 の動作の最終チェックを行う。図 23 にビギンバックマイクロコンピュータのイメージ図を示す。ビギンバックマイクロコンピュータ 161 にプログラムが書き込まれた EPROM 162 が接続され、この状態でビギンバックマイクロコンピュータ 161 がターゲットシステムに接続される。

【0015】図 24 は、エミュレータ装置 142 が 5V

の電源電圧で動作するのに対し、エミュレータ用マイクロコンピュータ141とターゲットシステム143が3Vの電源電圧で動作する場合のエミュレータシステムの構成図である。エミュレータ装置142内にレベル変換回路145が設けられている。このレベル変換回路145は現在入手しやすいICで構成した回路である。1404は例えば3Vの電源を示している。エミュレータ装置142は5Vの電源電圧で動作するが、接続インタフェース144にレベル変換回路145を付加することにより信号ライン1402のレベルを3Vに変換してエミュレータ用マイクロコンピュータ141と信号の授受を行う。エミュレータ用マイクロコンピュータ141は3Vの電源電圧で動作しているため、信号ライン1403の信号レベルも3Vになり、これによってターゲットシステム143は3Vの電源電圧で動作する。3Vの電源電圧で動作するように設計されたターゲットシステム143が5Vの電源電圧で動作可能であっても、このターゲットシステム143内にアナログ回路が混在する場合、アナログ回路は電圧依存性が高いので3Vの電源電圧で動作させることが望ましい。また、エミュレートシステムで実際により近い評価、デバッグを行うためにも動作電圧を3Vのままでデバッグする必要がある。

【0016】図20のようなレベル変換回路は通常ICの一部に内蔵されており、レベル変換回路単体では入手できないため、実際には図25あるいは図26のような回路でレベル変換回路145を構成している。これらの図において、191はオープンコレクタのインバータ例えばLSO5のような回路、192はインバータ例えばLSO4のような回路、1901は5Vの電源、1902は3Vの電源、1903及び1905は信号レベル5Vの信号ライン、1904及び1906は信号レベル3Vの信号ライン、193及び194はプルアップ抵抗である。このようなレベル変換回路の動作を図27のタイミングチャートで示す。図25のインバータ回路LSO5はハイレベルを出力できないためプルアップ抵抗193で3Vレベルになるようにしている。一方、図26のインバータ回路LSO4は電源が5Vでも $V_{IL}$ が2V、 $V_{IH}$ が0.8Vのため、3Vレベルの信号を受けることができるが、出力電圧 $V_{OH}$ が2.7Vのため、これもプルアップ抵抗194で5Vレベルになるようにしている。図25の回路では入力5Vを出力2~7Vに変換することが可能であり、図26の回路では入力2~7Vを出力5Vに変換することが可能である。

【0017】しかし、図25及び図26の回路では、2V以下の出力への変換は不可能である。また、プルアップ抵抗193及び194を使用するので、出力ローレベルが0Vより持ち上がったたり、ローレベルからハイレベルに変化する時の波形が崩れるため、周波数の高い信号のレベル変換も困難である。また、消費電流も大きい。

【0018】また、図20のようなレベル変換回路では、第1の正極の電圧 $E_1$ がある程度低下しても正常に動作するが、第2の正極の電圧 $E_2$ が低い場合に対しては考慮されておらず、正常な動作が困難になる場合がある。すなわち、図28のように入力5Vを出力1Vに変換するのは困難である。第2の正極の電圧 $E_2$ が低くなくても正常に動作するように、PチャネルMOSFET22及び24の $\beta$ を充分な値に設計しておく必要がある。

【0019】エミュレートシステムでターゲットシステムの電源電圧を2V~11Vまで可変させることはあまりないと思うが、エミュレータ用マイクロコンピュータを量産用マイクロコンピュータのテストに使用する場合は可変する必要がある。

【0020】図29はエミュレータ用マイクロコンピュータを用いたLSIテストシステムの構成図である。161はシステム全体の制御を行うLSIテスト、162はテストの対象となるマイクロコンピュータ等のDUT、163はLSIテスト161とDUT162とを接続するインターフェースボード、164はエミュレータ用マイクロコンピュータ又はビギンバックマイクロコンピュータ、165は図24のレベル変換回路145と同様のレベル変換回路、166及び169は、シリアル通信に使用するシリアルI/O、167はエミュレータ用マイクロコンピュータ164が動作するためのプログラムが格納されたメモリ、168はエミュレータ用マイクロコンピュータ164とLSIテスト161との間で信号の授受を行うためのインターフェース、1601はLSIテスト161より供給される5Vの電源、1602はLSIテスト161から供給され且つDUT162をテストする時の電源、1603はLSIテスト161とインターフェースボード163との間で信号の授受を行うための信号ライン、1604はDUT162とレベル変換回路165との間で信号の授受を行うための信号ライン、1605はエミュレータ用マイクロコンピュータ164とメモリ167及びインターフェース168をつなぐバス、1606はエミュレータ用マイクロコンピュータ164とレベル変換回路165との間で信号の授受を行うための信号ラインである。

【0021】DUT162が通常のマイクロコンピュータであればアドレスバスやデータバスなども端子を介して外部に接続できるようになっているので、LSIテスト161とDUT162とを直接接続してテストを行なうことができる。しかし、ICカード用マイクロコンピュータのようにシリアルI/Oの端子1本しか出ていないマイクロコンピュータではシリアルI/Oを介して全てのテストを行なう必要がある。現在のICカード用マイクロコンピュータのテスト方法としては、まずDUTのメモリにシリアルI/Oを介してテストプログラムを送り込み、DUT自身がそのプログラムを実行し、実行

結果をシリアル I/O より出力する方法が採られている。この方法を LSI テスタと DUT とを直結して行くと、DUT としてのマイクロコンピュータに送るテストプログラムの数が膨大になり、LSI テスタの負担が大きくなってしまふ。

【0022】このため、インターフェースボード 163 にエミュレータ用マイクロコンピュータ 164 を搭載し、DUT 162 とのシリアルでのデータの授受をエミュレータ用マイクロコンピュータ 164 に実行させ、LSI テスタ 161 の負担を軽減している。メモリ 167 には、エミュレータ用マイクロコンピュータ 164 のシリアル I/O 166 とインターフェース 168 を動作させるのに必要なプログラムが内蔵されている。

【0023】一般に、DUT 162 となるマイクロコンピュータは電源電圧を変化させてテストする必要がある。すなわち、信号ライン 1604 の信号レベルが変化するため、信号ライン 1604 と信号ライン 1606 との間でレベル変換を行う必要があり、ここにレベル変換回路 165 が設けられている。しかしながら、レベル変換回路 165 は、図 24 の回路 145 と同じようなレベル変換回路を用いるため、信号レベルの可変範囲が小さい。

【0024】従来のビギンバックマイクロコンピュータにおいては、EPROM が 5V の電源電圧で動作するため、3V 動作のターゲットシステムには対応できない。最近では、3V 動作の EPROM が製品化されているが、それでもターゲットシステムが 3V 以下の電源電圧で動作する場合には対応できなくなってしまう。

【0025】

【発明が解決しようとする課題】従来のエミュレータ用マイクロコンピュータ及びビギンバックマイクロコンピュータは、以上のように構成されているのでターゲットシステムの動作電圧がエミュレータ装置と異なるときは、レベル変換回路を外付けする必要がある、ターゲットシステムのマイクロコンピュータの品種別もしくはターゲットシステムの電源電圧の違いに応じてエミュレータ装置またはボッド回路を改造しなくてはならないという問題点があった。また、従来のレベル変換回路では例えば 2V 以下の低電圧への変換ができないため、上述したようなエミュレータシステム等に使用するにはその性能が不充分であった。

【0026】この発明は、上記のような問題点を解消するためになされたもので、5V を 1V~7V まで、1V~7V を 5V まで変換できるレベル変換回路を得ることを目的とする。また、このようなレベル変換回路を内蔵することにより電源電圧の異なるターゲットシステムにも対応し得るエミュレータ用マイクロコンピュータ及びビギンバックマイクロコンピュータを得ることも目的とする。さらに、このようなエミュレータ用マイクロコンピュータを有するエミュレータシステム及び LSI テス

トシステムを得ることも目的としている。

【0027】

【課題を解決するための手段】請求項 1 に係るレベル変換回路は、それぞれソースが第 1 の電位 V1 に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ  $\beta$  値を有する第 1 及び第 2 の P チャネルトランジスタと、それぞれドレインが第 1 及び第 2 の P チャネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ  $\beta$  値を有する第 1 及び第 2 の N チャネルトランジスタと、レベル変換入力信号を反転させて第 2 の N チャネルトランジスタのゲートに入力させると共に第 2 の電位 V2 を電源とする第 1 のインバータと、第 1 のインバータの出力をさらに反転させて第 1 の N チャネルトランジスタのゲートに入力させると共に第 2 の電位 V2 を電源とする第 2 のインバータと、第 1 の P チャネルトランジスタのドレインと第 1 の N チャネルトランジスタのドレインとの接続点の信号を反転させると共に第 1 の電位 V1 を電源とする第 3 のインバータとを備え、第 1 及び第 2 の N チャネルトランジスタの  $\beta$  値を第 1 及び第 2 の P チャネルトランジスタの  $\beta$  値の 50 倍以上に設定すると共に第 1 の電位 V1 が 1V まで低下しても第 3 のインバータをドライブできるように第 1 及び第 2 の P チャネルトランジスタの  $\beta$  値を設定したものである。

【0028】請求項 2 に係るレベル変換回路は、さらに第 3 のインバータを形成する一対の P チャネルトランジスタと N チャネルトランジスタのうち N チャネルトランジスタの  $\beta$  値を P チャネルトランジスタの  $\beta$  値より大きく設定したものである。請求項 3 に係るレベル変換回路は、請求項 1 のレベル変換回路において第 3 のインバータの代わりに、第 1 の P チャネルトランジスタのドレインと第 1 の N チャネルトランジスタのドレインとの接続点の信号と第 2 の P チャネルトランジスタのドレインと第 2 の N チャネルトランジスタのドレインとの接続点の信号とを入力すると共にこれら双方の信号が共にローレベルのときには出力が変化しないフリップフロップ回路を設けたものである。

【0029】請求項 4 に係るエミュレータ用マイクロコンピュータは、ターゲットシステムとの間で伝送される信号をレベル変換するために請求項 1 のレベル変換回路を備えたものである。請求項 5 に係るエミュレータ用マイクロコンピュータは、エミュレータ装置との間で伝送される信号をレベル変換するために請求項 1 のレベル変換回路を備えたものである。

【0030】請求項 6 に係るビギンバックマイクロコンピュータは、EPROM との間で伝送される信号をレベル変換するために請求項 1 のレベル変換回路を備えたものである。請求項 7 に係るビギンバックマイクロコンピュータは、ターゲットシステムとの間で伝送される信号をレベル変換するために請求項 1 のレベル変換回路を備

えたものである。

【0031】請求項8に係るLSIテストシステムは、LSIテストと、請求項1のレベル変換回路を有するエミュレータ用マイクロコンピュータとを備えたものである。請求項9に係るエミュレートシステムは、エミュレータ装置と、請求項1のレベル変換回路を有するエミュレータ用マイクロコンピュータとを備えたものである。

【0032】

【作用】請求項1に係るレベル変換回路では、第1の電位 $V_1$ が1V程度に低下しても第1及び第2のPチャネルトランジスタが第3のインバータをドライブすると共に $V_1 \geq V_2$ 、 $V_1 \leq V_2$ の両方のレベル変換が行なわれる。請求項2に係るレベル変換回路では、第3のインバータが出力信号のデューティ比の崩れを軽減する。請求項3に係るレベル変換回路では、フリップフロップ回路が出力信号のデューティ比の崩れを軽減する。

【0033】請求項4に係るエミュレータ用マイクロコンピュータでは、レベル変換回路がターゲットシステムとの間で伝送される信号のレベル変換を行う。請求項5に係るエミュレータ用マイクロコンピュータでは、レベル変換回路がエミュレータ装置との間で伝送される信号のレベル変換を行う。請求項6に係るビジーバックマイクロコンピュータでは、レベル変換回路がEPROMとの間で伝送される信号のレベル変換を行う。請求項7に係るビジーバックマイクロコンピュータでは、レベル変換回路がターゲットシステムとの間で伝送される信号のレベル変換を行う。

【0034】請求項8に係るLSIテストシステムでは、エミュレータ用マイクロコンピュータに内蔵されたレベル変換回路がLSIテストとの間あるいはDUTとの間で伝送される信号のレベル変換を行う。請求項9に係るエミュレートシステムでは、エミュレータ用マイクロコンピュータに内蔵されたレベル変換回路がエミュレータ装置との間あるいはターゲットシステムとの間で伝送される信号のレベル変換を行う。

【0035】

【実施例】

実施例1. 図1はこの発明の実施例1に係るレベル変換回路を示す回路図である。図1において、1は入力信号104を反転させるインバータ、2はインバータ1の出力を、さらに反転させるインバータ、3は信号106を反転させて出力信号105を出力するインバータ、4及び5はPチャネルトランジスタ、6及び7はNチャネルトランジスタ、101はレベル変換前の電圧 $V_2$ 、102はレベル変換後の電圧 $V_1$ 、103はGND、106はPチャネルトランジスタ4とNチャネルトランジスタ6のドレインが接続された信号ライン上の信号、107はPチャネルトランジスタ5とNチャネルトランジスタ7のドレインが接続された信号ライン上の信号を示している。

【0036】Pチャネルトランジスタ4及び5の $\beta$ は互いに同じ値に、Nチャネルトランジスタ6及び7の $\beta$ も互いに同じ値に設定されている。さらに、Nチャネルトランジスタ6及び7の $\beta$ 値がPチャネルトランジスタ4及び5の $\beta$ 値の50倍以上になるように設定する。一般に $\beta$ 値はトランジスタの寸法を変えることにより任意に設定することができる。この $\beta$ 値はトランジスタのドライブ能力（出力電流）を決定する重要なパラメータで、 $\beta$ 値が大きいほど出力電流も大きくなる。インバータ1及び2は、電圧 $V_2$ が低くなっても、Nチャネルトランジスタ6及び7を動作させられるだけのドライブ能力が必要である。この実施例では、インバータ1及び2内のNチャネルトランジスタとPチャネルトランジスタの $\beta$ を $380 \mu A/V^2$ に、Nチャネルトランジスタ6及び7の $\beta$ を $1580 \mu A/V^2$ に、Pチャネルトランジスタ4及び5の $\beta$ を $31 \mu A/V^2$ に、インバータ3内のPチャネルトランジスタとNチャネルトランジスタの $\beta$ を $220 \mu A/V^2$ に設定した。なお、インバータ3は電位 $V_1$ とグラウンドとの間に直列に接続されたPチャネルトランジスタ及びNチャネルトランジスタから形成することができる。

【0037】電圧 $V_2$ を5V、電圧 $V_1$ を1Vに設定し、周波数5MHz、レベル5Vの入力信号104を入力させたときのタイミングチャートを図2に示す。すなわち、5Vを1Vに変換するレベル変換回路を構成した。Pチャネルトランジスタ4及び5のドライブ能力はNチャネルトランジスタ6及び7より小さくなければ、この回路は動作しない。しかし、Pチャネルトランジスタ4及び5のドライブ能力が小さいと図2に示されるように信号107及び106の立上がりが遅れてしまう。このため、信号106を受けて動作するインバータ3の出力信号105は、理想的な信号波形105iと異なりデューティ比（ハイレベルとローレベルの幅の比）が崩れている。また、Pチャネルトランジスタ4及び5の $\beta$ を $31 \mu A/V^2$ に設定したが、この設定値より小さくなると1Vへの変換は難しくなる。これは電圧 $V_1$ が低くなるとPチャネルトランジスタ4及び5のドライブ能力が小さくなりインバータ3をドライブできなくなるためである。5Vを1Vに変換できるかどうかのポイントは、このPチャネルトランジスタのドライブ能力にある。

【0038】電圧 $V_2$ を5V、電圧 $V_1$ を7Vに設定し、周波数50MHz、レベル5Vの入力信号104を入力させたときのタイミングチャートを図3に示す。すなわち、5Vを7Vに変換するレベル変換回路を構成した。この場合も、Nチャネルトランジスタ6及び7に比べてPチャネルトランジスタ4及び5の $\beta$ が小さいので、信号107及び106の立上がりが遅れ、インバータ3の出力信号105は理想的な信号波形105iと異なってデューティ比が崩れている。



【0039】電圧 $V_2$ を1V、電圧 $V_1$ を5Vに設定し、周波数5MHz、レベル1Vの入力信号104を入力させたときのタイミングチャートを図4に示す。すなわち、1Vを5Vに変換するレベル変換回路を構成した。この場合、信号107及び106の立上がりより立下がりの方が遅れてしまう。これはNチャネルトランジスタ6及び7を動作させる信号の電圧が1Vまでしか上がらないのでこれらのNチャネルトランジスタのドライブ能力が下がるためである。しかし、Nチャネルトランジスタの $\beta$ は $1580\mu/V^2$ と大きいため、ドライブ能力が下がっても波形の崩れはほとんどない。従って、出力信号105の波形は理想的な波形1051に近い安定したものとなる。

【0040】電圧 $V_2$ を7V、電圧 $V_1$ を5Vに設定し、周波数50MHz、レベル7Vの入力信号104を入力させたときのタイミングチャートを図5に示す。すなわち、7Vを5Vに変換するレベル変換回路を構成した。図4の場合と異なり、入力信号の電圧が7Vまで上がるので、Nチャネルトランジスタ6及び7のドライブ能力は低下せず、信号107及び106の波形は立上がりの方が遅くなる。このため、インバータ3の出力信号105は理想的な信号波形1051と異なってデューティ比が崩れている。

【0041】このように、実施例1によれば、出力信号波形のデューティ比の崩れはあるものの、5V-50MHzの信号を1Vに、5V-50MHzの信号を7Vに、1V-50MHzの信号を5Vに、7V-50MHzの信号を5Vにそれぞれ変換することが可能になった。1V-50MHzあるいは7V-50MHzに設定したのは、エミュレータ用マイクロコンピュータの動作範囲の限界以上にレベル変換回路が動作する必要があるからである。

【0042】実施例2。実施例1の回路において、インバータ3のスレッシュホールド電圧 $V_{th}$ を低く設定すると、図2～5の各タイミングチャートにおいてインバータ3の出力信号はそれぞれ105aで示される波形になる。実施例1では、インバータ3の $\beta$ はPチャネルトランジスタもNチャネルトランジスタも $220\mu A/V^2$ に設定していたが、Nチャネルトランジスタの $\beta$ をPチャネルトランジスタより大きくすることによりスレッシュホールド電圧 $V_{th}$ を低くすることができる。NチャネルトランジスタとPチャネルトランジスタの $\beta$ 値が同じであれば、スレッシュホールド電圧 $V_{th}$ は $V_1/2$ になる。この実施例2で設計したインバータ3は、Nチャネルトランジスタの $\beta$ を $220\mu A/V^2$ 、Pチャネルトランジスタの $\beta$ を $31\mu A/V^2$ に設定することにより、スレッシュホールド電圧 $V_{th}$ を $V_1/3$ 程度まで下げた。これにより、各タイミングチャートの波形105aのように、出力信号のデューティ比の崩れを軽減することができた。なお、図4の波形105aについては、

もともと波形の崩れが少ないので実施例1の出力波形105と変わりが無い。

【0043】実施例3。図6に実施例3に係るレベル変換回路を示す。このレベル変換回路は、図1に示した実施例1の回路においてインバータ3の代わりにフリップフロップ回路8を設けたものである。このようにフリップフロップ回路8で出力波形を整形してもデューティ比の崩れを軽減することができる。フリップフロップ回路8は、二つの入力信号107及び106が共にローレベルのときには出力信号105は変化せず、信号107がハイレベルで信号106がローレベルのときは出力信号105はハイレベルになる。また、信号107がローレベルで信号106がハイレベルのときは出力信号105がローレベルになる。従って、出力信号105の波形は図2～5の各タイミングチャートにおける波形105bの実線のようになり、デューティ比の崩れが軽減されている。図7に8個のトランジスタにより構成したフリップフロップ回路8の回路図を示す。ここで、このフリップフロップ回路8内においても、各Nチャネルトランジスタの $\beta$ 値が各Pチャネルトランジスタの $\beta$ 値の50倍以上になるように設定すると共にPチャネルトランジスタの $\beta$ 値を例えば $31\mu A/V^2$ 以上に設定する。これにより、例えば1Vを7Vに、また7Vを1Vに変換することが可能となる。なお、フリップフロップ回路8の代わりに図8及び9に示されるフリップフロップ回路81及び82を用いても同様の効果が得られる。

【0044】実施例4。図6に示した実施例3のフリップフロップ回路8のスレッシュホールド電圧 $V_{th}$ を低く設定すると、実施例3と同様に出力信号105のデューティ比の崩れを軽減しながら入力信号104に対する出力信号105の遅れを軽減することができ、図2～5の各タイミングチャートの波形105bの点線のような出力信号波形が得られる。

【0045】実施例5。図10は実施例5に係るエミュレートシステムの構成図である。エミュレータ装置54の接続インターフェース55にエミュレータ用マイクロコンピュータ51が接続され、エミュレータ用マイクロコンピュータ51にターゲットシステム53が接続されている。エミュレータ用マイクロコンピュータ51には上記の実施例1～4で示されたようなレベル変換回路52が内蔵されており、このレベル変換回路52にターゲットシステム53が接続されている。501は3Vの電源、502は5Vの電源、503はエミュレータ用マイクロコンピュータ51とターゲットシステム53とをつなぐ信号ライン、504はエミュレータ装置54とエミュレータ用マイクロコンピュータ51とを接続する信号ラインである。

【0046】エミュレータ装置54は、図21に示した従来のエミュレータ装置142と同様のものである。エミュレータ用マイクロコンピュータ51にレベル変換回

路52が内蔵されているため、エミュレータ装置54はターゲットシステム53の動作電圧を考慮せずに動作する。エミュレータ用マイクロコンピュータ51の5Vの電源502はエミュレータ装置54から供給される。エミュレータ用マイクロコンピュータ51は5Vの電源電圧で動作し、ターゲットシステム53との間で信号ライン503を介して3Vの信号レベルで入出力を行う。すなわち、レベル変換回路52は5Vの信号を3Vに、3Vの信号を5Vに変換するように動作する。このレベル変換回路52として実施例1~4の回路を使用するため、ターゲットシステム53が1V~5MHzの動作まで対応できる。

【0047】実施例6。図11は実施例6に係るエミュレートシステムの構成図である。エミュレータ用マイクロコンピュータ51に実施例1~4で示されたようなレベル変換回路52が内蔵されており、このレベル変換回路52にエミュレータ装置の接続インターフェース55が接続されている。また、エミュレータ用マイクロコンピュータ51にターゲットシステム53が接続されている。この実施例では、エミュレータ用マイクロコンピュータ51はターゲットシステム53と同じ3Vの電源電圧で動作し、エミュレータ装置54との間で信号ライン504を介して5Vの信号レベルで入出力を行う。エミュレータ用マイクロコンピュータ51にアナログ回路の入っている場合や、信号ライン503の電流及びターゲットシステムの動作電流等を評価する場合には、エミュレータ用マイクロコンピュータ51をターゲットシステム53と同じ電圧で動作させる方が好ましい。この場合でもターゲットシステム53が1V~5MHzの動作まで対応できる。

【0048】実施例7。図12はビジーバックマイクロコンピュータ71にレベル変換回路52を内蔵した実施例7を示すものである。EPROM72がビジーバックマイクロコンピュータ71内のレベル変換回路52に接続されている。EPROM72は5Vの電源電圧で動作し、ターゲットシステム53及びビジーバックマイクロコンピュータ71は3Vの電源電圧で動作する。この場合、3Vの電源はターゲットシステム53より供給されるが、5Vの電源は外部より供給しなければならない。この場合もターゲットシステム53が1V~5MHzまで対応可能である。また、図13のようにビジーバックマイクロコンピュータ71を5Vで動作させ、レベル変換回路52によってターゲットシステム53との間の信号ライン503の信号レベルを3Vに変換してもよい。

【0049】実施例8。図14はレベル変換回路内蔵のエミュレータ用マイクロコンピュータを用いたLSIテストシステムの構成図である。LSIテストシステムのインターフェースボード163にエミュレータ用マイクロコンピュータ91、エミュレータ用マイクロコンピュータ91を動作させるためのプログラムが格納されたメ

モリ167、インタフェース168が搭載されている。エミュレータ用マイクロコンピュータ91にはレベル変換回路92が内蔵されており、このレベル変換回路92にDUT162のシリアルI/O169が接続されている。また、インタフェースボード163のインタフェース168にLSIテスト161が接続されている。エミュレータ用マイクロコンピュータ91、メモリ167及びインタフェース168を5Vで動作させ、エミュレータ用マイクロコンピュータ91のシリアルI/O93とDUT162のシリアルI/O169との信号の授受をレベル変換回路92を介して行う。また、DUT162の動作に必要なクロック信号やリセット信号についても、LSIテスト161よりエミュレータ用マイクロコンピュータ91に入力された信号をレベル変換回路92でレベル変換した後にDUT162に供給するようにすれば、LSIテスト161の負荷を軽減することができる。DUT162としてテストされるマイクロコンピュータと同じ型のマイクロコンピュータをエミュレータ用マイクロコンピュータ91に使用すれば、シリアルI/O93とシリアルI/O169の機能が同じなので、よりテストし易くなる。例えば、ICカード用マイクロコンピュータのシリアルI/Oには、再送機能等、普通のシリアルI/Oに備わっていない機能などがあり、その機能のテストが容易になる。このテストシステムでは、外付メモリのプログラムが実行できればエミュレータ用マイクロコンピュータの代わりにビジーバックマイクロコンピュータを使用することもできる。実施例1~4のレベル変換回路を内蔵すれば、1V~5MHz~7V~50MHzまでの範囲のテストを行うことができる。

【0050】実施例9。図15は実施例9に係るLSIテストシステムを示す構成図である。このテストシステムは、図14に示した実施例8のテストシステムにおいて、LSIテスト161とエミュレータ用マイクロコンピュータ91内のレベル変換回路92とを信号ライン1001及び1002で接続し、レベル変換回路92におけるレベル変換出力のハイレベル値 $V_{OH}$ 及びローレベル値 $V_{OL}$ をLSIテスト161によって設定することができるようにしたものである。これにより、レベル変換回路92を用いてDUT162の入力電圧のハイレベル値 $V_{IH}$ 及びローレベル値 $V_{IL}$ のテストが容易となる。このように出力信号のハイレベル値 $V_{OH}$ 及びローレベル値 $V_{OL}$ を設定することのできるレベル変換回路の構成例を図16に示す。信号ライン1001、1002の各電位を選択することにより、出力信号OUTのハイレベル値 $V_{OH}$ 及びローレベル値 $V_{OL}$ が決定される。

【0051】実施例10。図17は実施例10に係るLSIテストシステムを示すブロック図である。インターフェースボード163にエミュレータ用マイクロコンピュータ111とシリアルI/O用IC112とが搭載されている。LSIテスト161がシリアルI/O用IC

112に接続され、シリアルI/O用IC112がエミュレータ用マイクロコンピュータ111のレベル変換回路92に接続され、レベル変換回路92がDUT162のシリアルI/O169に接続されている。エミュレータ用マイクロコンピュータ111はレベル変換回路92のみを使用する。このように構成すれば、LSIテスト161の負荷を軽減することができる。エミュレータ用マイクロコンピュータ111は、図18のように各レベル変換回路92の入出力端子をそのままこのマイクロコンピュータ111の外部端子にすれば実現できる。なお、DUT162がICカード用マイクロコンピュータの場合には、シリアルI/Oの入出力端子が1本しかないので、入力と出力とを切り替えるために図18のように切替回路271をエミュレータ用マイクロコンピュータ111とDUT162との間に接続する必要がある。

【0052】なお、上述した実施例5あるいは6のエミュレータ用マイクロコンピュータを用いたエミュレートシステムにおいては、従来実現できなかった機能をエミュレートシステムに持たせることができる。図22のエミュレートシステムにおいて従来は、ターゲットシステム154の動作電圧と本体151の動作電圧が異なる場合、ターゲットシステム154のICソケットに直接エミュレータ用マイコン153を搭載することができず、本体151又はボッド152を改造する必要があった。例えば、エミュレータ用マイクロコンピュータ153を本体151又はボッド152内に収納し又は別途基板上に搭載し、さらにレベル変換回路を付加した後、レベル変換回路をターゲットシステム154に接続しなければならない。このため、ターゲットシステムの近傍にエミュレータ用マイクロコンピュータを搭載することができるという、このエミュレートシステムの一の利点も実現できなくなる。しかしながら、エミュレータ用マイクロコンピュータにレベル変換回路を内蔵すれば、ターゲットシステムの動作電圧に関係なくシステムを使用でき、また、実施例1～4のレベル変換回路を内蔵していれば、ターゲットシステムの動作を1V～5MHzから7V～50MHzまで可能にでき、ターゲットシステムのエミュレータだけでなく、電圧や周波数を変化させた場合の評価も実現できる。

【0053】

【発明の効果】以上のように、請求項1に係るレベル変換回路は、それぞれソースが第1の電位V1に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャネルトランジスタと、それぞれドレインが第1及び第2のPチャネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャネルトランジスタと、レベル変換入力信号を反転させて第2のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第1のインバー

タと、第1のインバータの出力をさらに反転させて第1のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第2のインバータと、第1のPチャネルトランジスタのドレインと第1のNチャネルトランジスタのドレインとの接続点の信号を反転させると共に第1の電位V1を電源とする第3のインバータとを備え、第1及び第2のNチャネルトランジスタの $\beta$ 値を第1及び第2のPチャネルトランジスタの $\beta$ 値の50倍以上に設定すると共に第1の電位V1が1Vまで低下しても第3のインバータをドライブできるように第1及び第2のPチャネルトランジスタの $\beta$ 値を設定したので、5Vを1～7Vまで、1～7Vを5Vまでそれぞれ変換することができる。

【0054】請求項2及び3に係るレベル変換回路は、さらに出力信号のデューティ比の崩れを軽減することができる。請求項4及び5に係るエミュレータ用マイクロコンピュータは、エミュレータ装置と異なる動作電圧を有するターゲットシステムにも対応することができる。請求項6及び7に係るビジーバックマイクロコンピュータは、EPROMと異なる動作電圧を有するターゲットシステムにも対応することができる。請求項8に係るLSIテストシステムは、LSIテストと異なる動作電圧を有する量産用マイクロコンピュータのテストを容易に行うことができる。請求項9に係るエミュレートシステムは、エミュレータ装置と異なる動作電圧を有するターゲットシステムを容易にエミュレートすることができる。

【図面の簡単な説明】

【図1】この発明の実施例1に係るレベル変換回路を示す回路図である。

【図2】実施例1の動作を示すタイミングチャートである。

【図3】実施例1の動作を示すタイミングチャートである。

【図4】実施例1の動作を示すタイミングチャートである。

【図5】実施例1の動作を示すタイミングチャートである。

【図6】実施例3に係るレベル変換回路を示す回路図である。

【図7】実施例3で用いられたフリップフロップ回路を示す回路図である。

【図8】実施例3の変形例を示す回路図である。

【図9】実施例3の変形例を示す回路図である。

【図10】実施例5に係るエミュレートシステムを示すブロック図である。

【図11】実施例6に係るエミュレートシステムを示すブロック図である。

【図12】実施例7に係るビジーバックマイクロコンピュータを示すブロック図である。

【図13】実施例7の変形例を示すブロック図である。

【図14】実施例8に係るLSIテストシステムを示すブロック図である。

【図15】実施例9に係るLSIテストシステムを示すブロック図である。

【図16】実施例9で用いられたレベル変換回路を示す回路図である。

【図17】実施例10に係るLSIテストシステムを示すブロック図である。

【図18】実施例10で用いられたエミュレータ用マイクロコンピュータを示すブロック図である。

【図19】相補型MOS集積回路を示す回路図である。

【図20】従来の相補型のレベル変換回路を示す回路図である。

【図21】従来のエミュレートシステムを示すブロック図である。

【図22】従来のエミュレートシステムのイメージ図である。

【図23】従来のビジーバックマイクロコンピュータのイメージ図である。

【図24】従来のエミュレートシステムを示すブロック図である。

【図25】従来のレベル変換回路を示す回路図である。

【図26】従来のレベル変換回路を示す回路図である。

【図27】図25あるいは図26の変換回路の動作を示すタイミングチャートである。

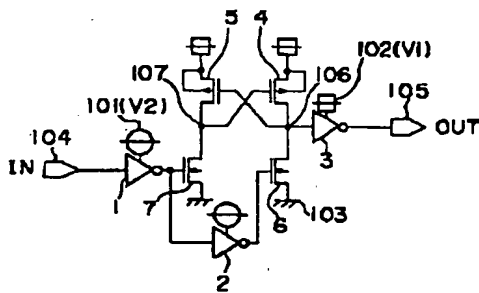
【図28】レベル変換の入出力電圧の流れを示す図である。

【図29】従来のLSIテストシステムを示すブロック図である。

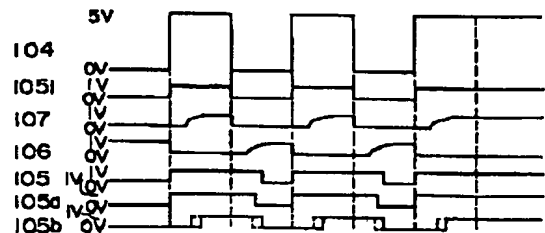
【符号の説明】

- 1、2、3 インバータ
- 4、5 Pチャネルトランジスタ
- 6、7 Nチャネルトランジスタ
- 8、81、82 フリップフロップ回路
- 51、91、111 エミュレータ用マイクロコンピュータ
- 52、92 レベル変換回路
- 53 ターゲットシステム
- 54 エミュレータ装置
- 71 ビジーバックマイクロコンピュータ
- 72 EPROM
- 161 LSIテスト
- 162 DUT

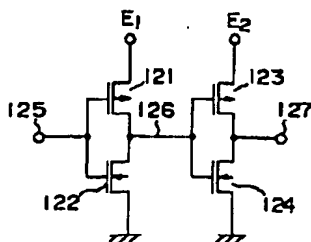
【図1】



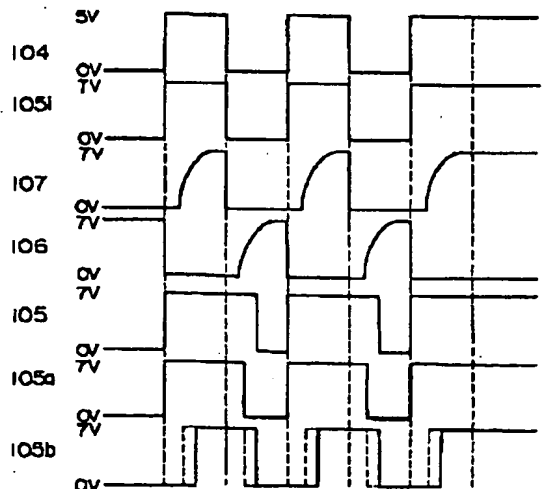
【図2】



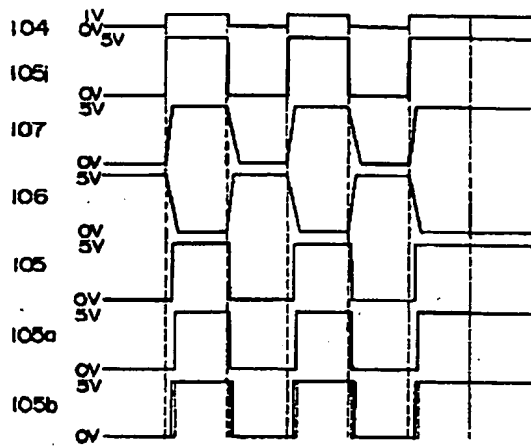
【図19】



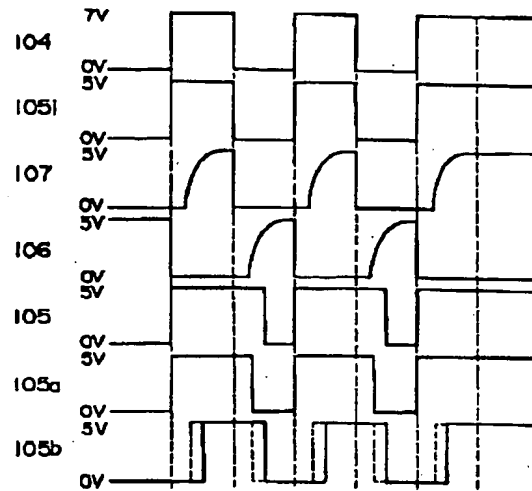
【図3】



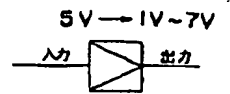
【図4】



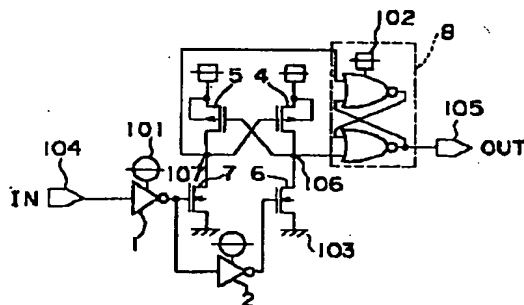
【図5】



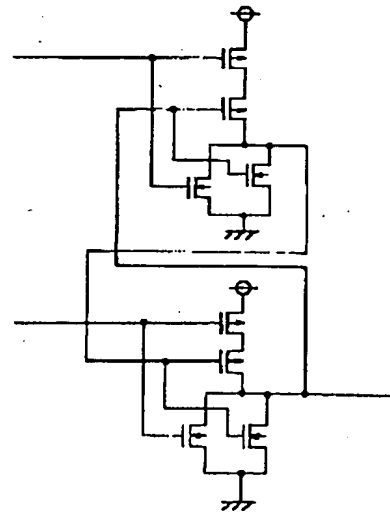
【図28】



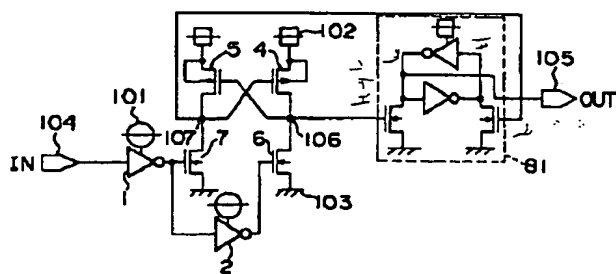
【図6】



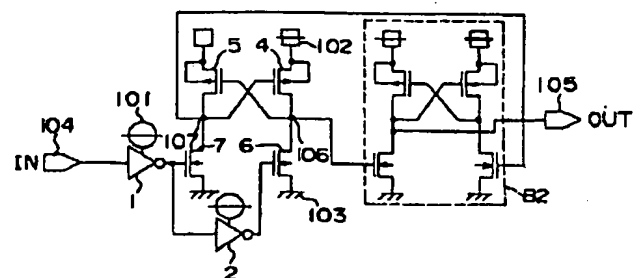
【図7】



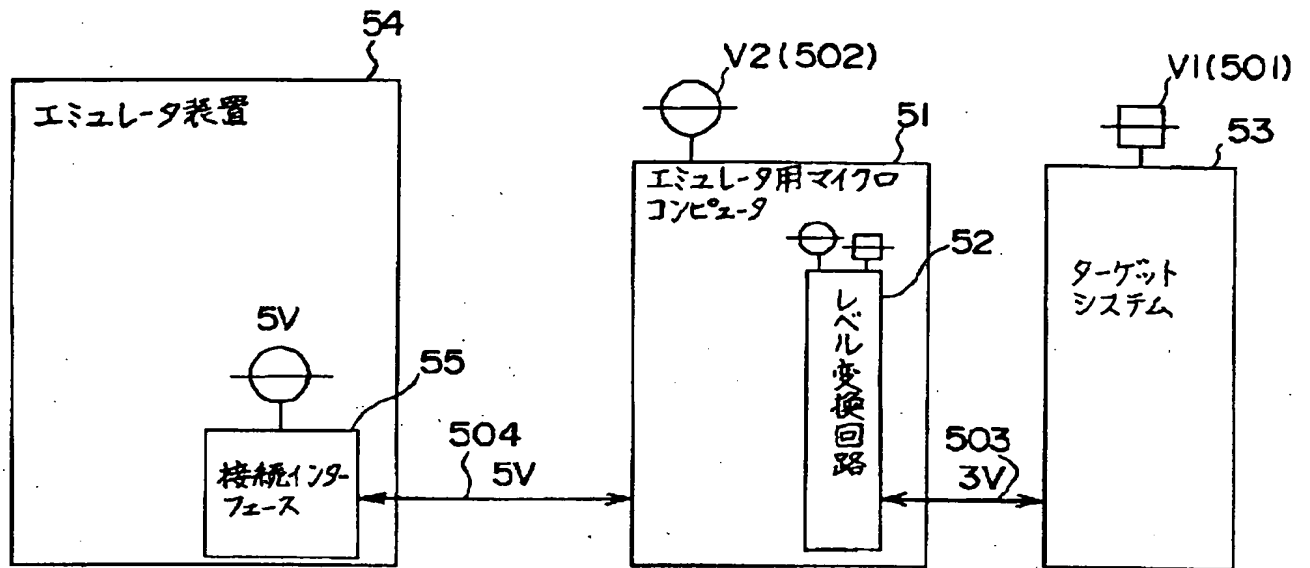
【図8】



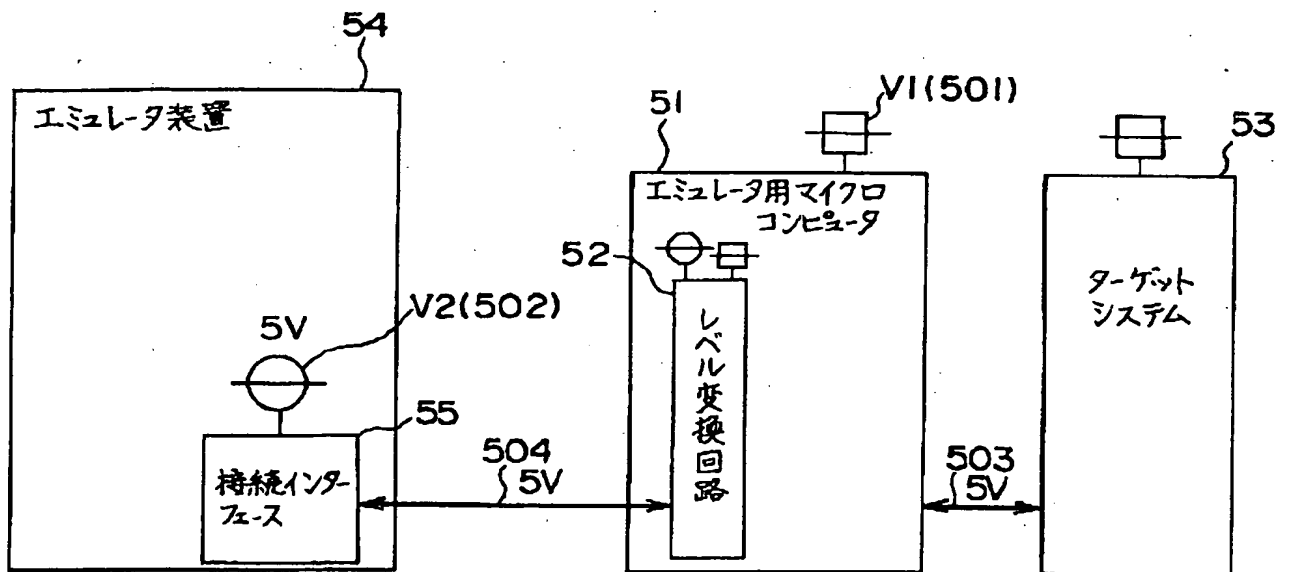
【図9】



【図10】



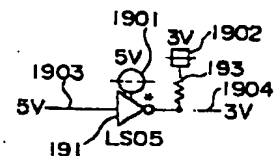
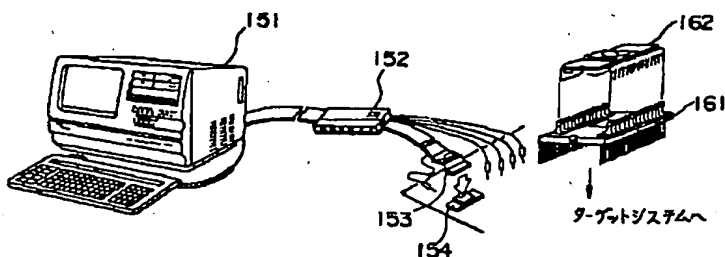
【図11】



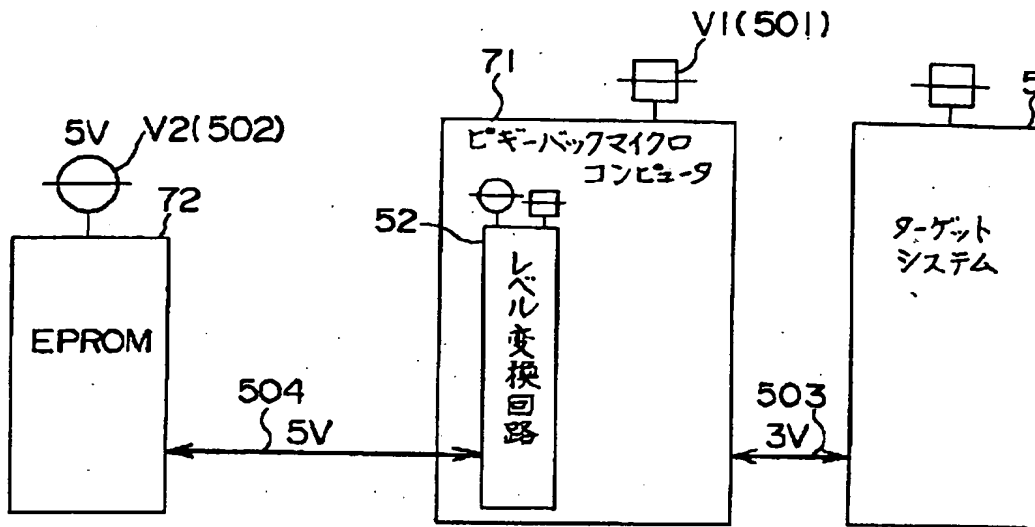
【図22】

【図23】

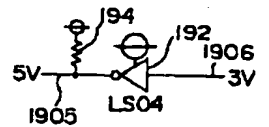
【図25】



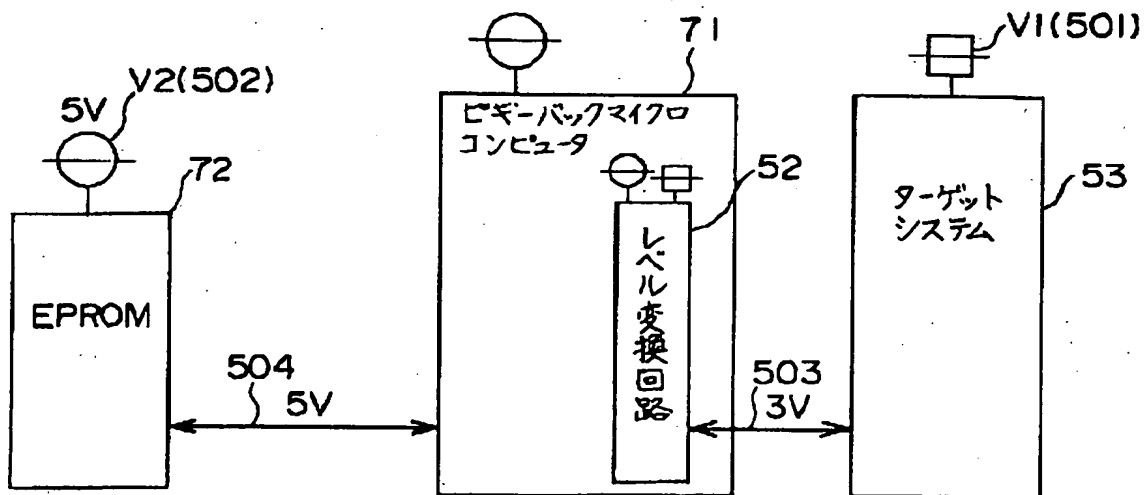
【図12】



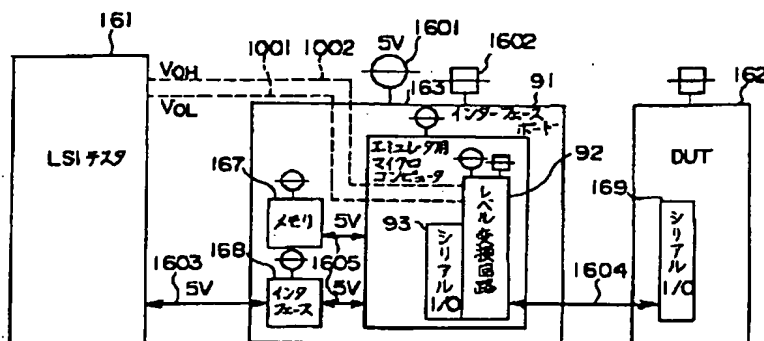
【図26】



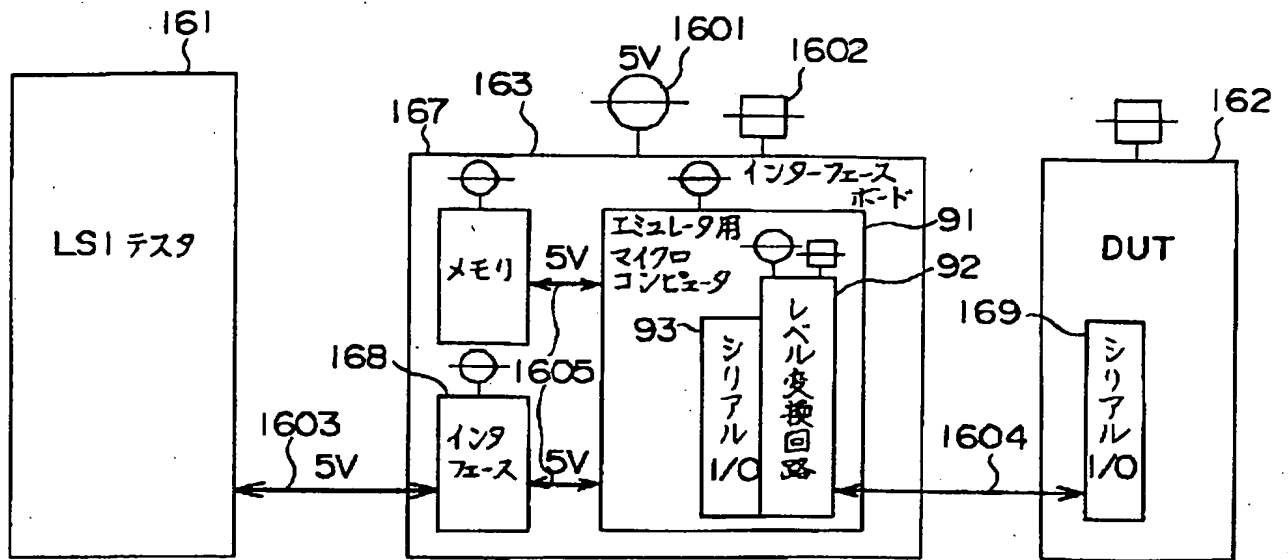
【図13】



【図15】

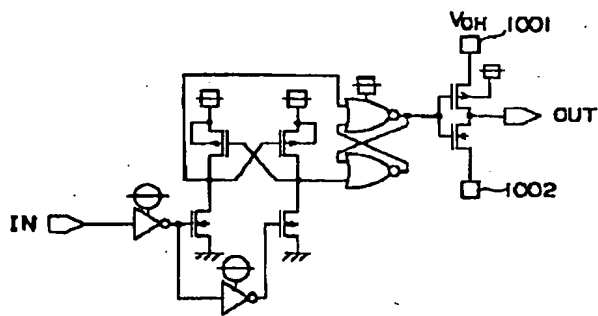


【図14】

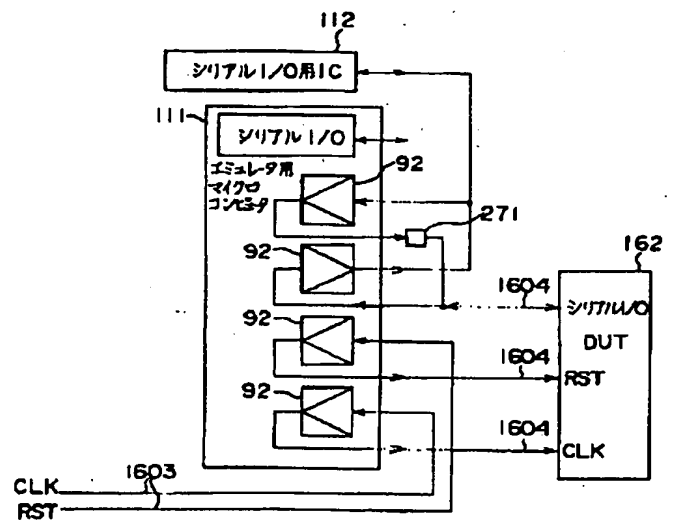
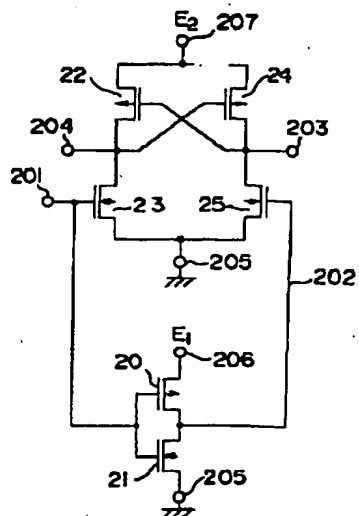


【図16】

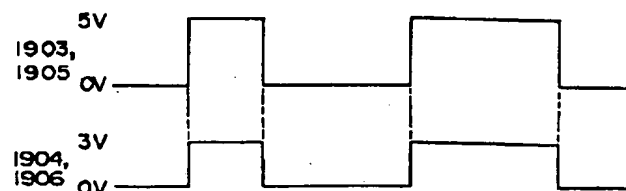
【図18】



【図20】

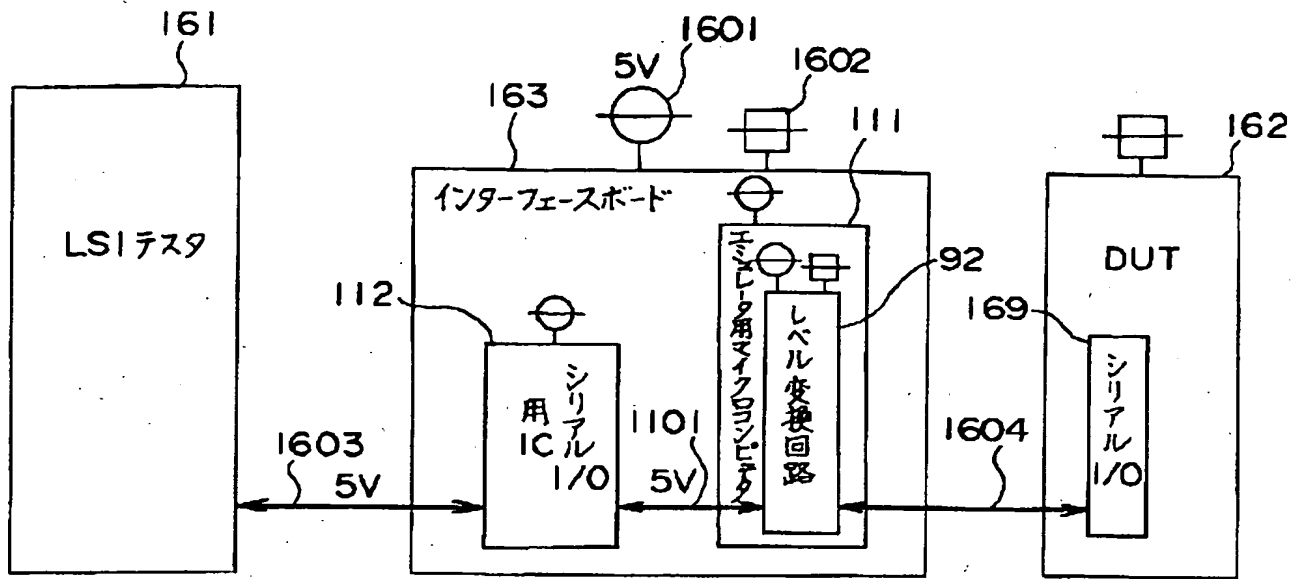


【図27】

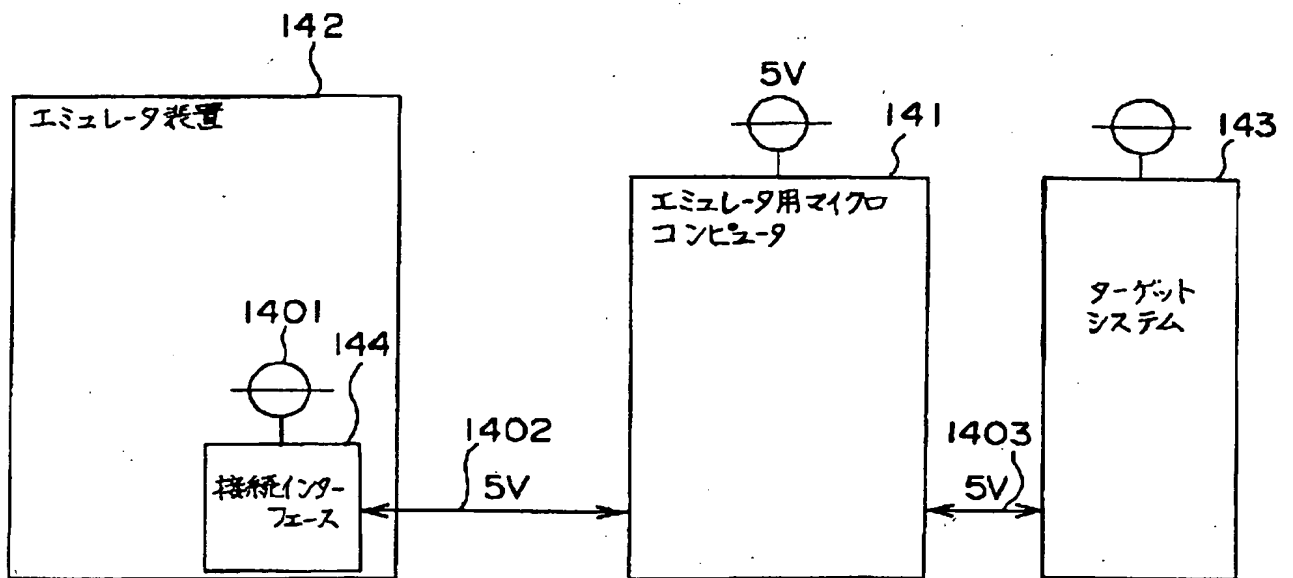




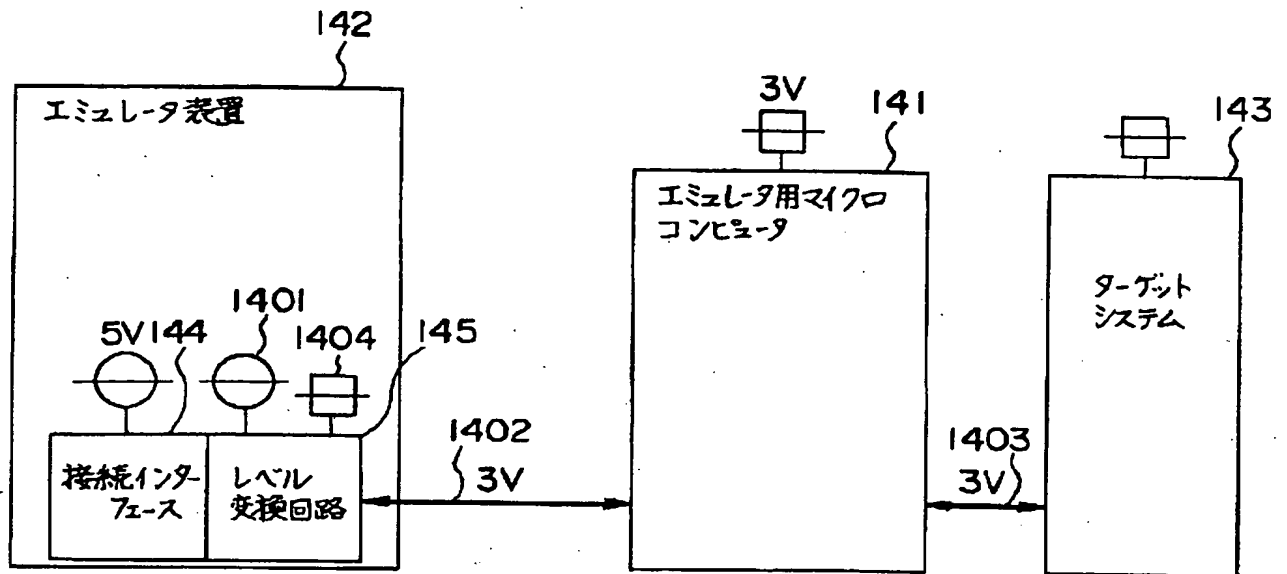
【図17】



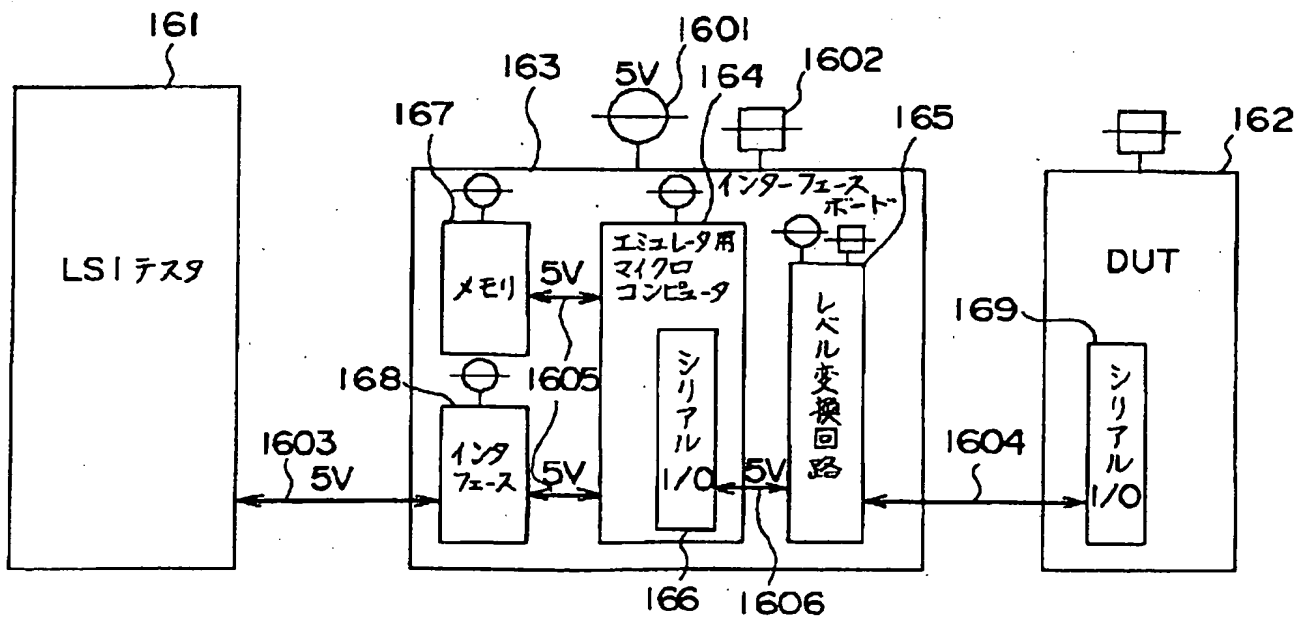
【図21】



【図24】



【図29】



## 【手続補正書】

【提出日】平成5年5月25日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

## 【補正内容】

【請求項3】 それぞれソースが第1の電位V1に接続されると共にドレインが互いに他方のゲートに接続され且つ互いに同じ $\beta$ 値を有する第1及び第2のPチャネルトランジスタと、  
 それぞれドレインが第1及び第2のPチャネルトランジスタのドレインに接続されると共にソースが接地され且つ互いに同じ $\beta$ 値を有する第1及び第2のNチャネルトランジスタと、  
 レベル変換入力信号を反転させて第2のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第1のインバータと、  
 第1のインバータの出力をさらに反転させて第1のNチャネルトランジスタのゲートに入力させると共に第2の電位V2を電源とする第2のインバータと、  
 第1のPチャネルトランジスタのドレインと第1のNチャネルトランジスタのドレインとの接続点の信号と第2のPチャネルトランジスタのドレインと第2のNチャネルトランジスタのドレインとの接続点の信号とを入力すると共にこれら双方の信号が共にローレベルのときには出力が変化しないフリップフロップ回路とを備え、第1及び第2のNチャネルトランジスタの $\beta$ 値を第1及び第2のPチャネルトランジスタの $\beta$ 値の50倍以上に設定し、前記フリップフロップ回路を形成するPチャネルトランジスタとNチャネルトランジスタのうちNチャネルトランジスタの $\beta$ 値をPチャネルトランジスタの $\beta$ 値より大きく設定することを特徴とするレベル変換回路。

り大きく設定することを特徴とするレベル変換回路。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

## 【補正内容】

【0043】実施例3. 図6に実施例3に係るレベル変換回路を示す。このレベル変換回路は、図1に示した実施例1の回路においてインバータ3の代わりにフリップフロップ回路8を設けたものである。このようにフリップフロップ回路8で出力波形を整形してもデューティ比の崩れを軽減することができる。フリップフロップ回路8は、二つの入力信号107及び106が共にローレベルのときには出力信号105は変化せず、信号107がハイレベルで信号106がローレベルのときは出力信号105はハイレベルになる。また、信号107がローレベルで信号106がハイレベルのときは出力信号105がローレベルになる。従って、出力信号105の波形は図2～5の各タイミングチャートにおける波形105bの実線のようになり、デューティ比の崩れが軽減されている。図7に8個のトランジスタにより構成したフリップフロップ回路8の回路図を示す。ここで、このフリップフロップ回路8内においても、上記実施例2のインバータ3と同様にNチャネルトランジスタの $\beta$ 値とPチャネルトランジスタの $\beta$ 値との比を変える、すなわちNチャネルトランジスタの $\beta$ 値をPチャネルトランジスタの $\beta$ 値より大きく設定することにより、フリップフロップ回路8のスレッシュホールド電圧 $V_{TH}$ を下げる事ができる。なお、フリップフロップ回路8の代わりに図8及び9に示されるフリップフロップ回路81及び82を用いても同様の効果が得られる。

フロントページの続き

- (54) 【発明の名称】 レベル変換回路、レベル変換回路を内蔵したエミュレータ用マイクロコンピュータ、レベル変換回路を内蔵したビジーバックマイクロコンピュータ、レベル変換回路を内蔵したエミュレートシステム及びレベル変換回路を内蔵したLSIテストシステム